

M1426

JP08248385 A

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY AND ITS DRIVING  
METHOD

HITACHI LTD

Inventor(s): FURUHASHI TSUTOMU ; NITTA HIROYUKI ; IKEDA  
MAKIKO ; OISHI SUMIHISA ; TSUNEKAWA SATORU ; FUTAMI TOSHIO

Application No. 07048803 JP07048803 JP, Filed 19950308, A1 Published  
19960927

**Abstract:**

**PURPOSE:** To provide a low-cost signal drive circuit in a TFT liquid crystal display by particularly reducing the number of signal lines.

**CONSTITUTION:** A TFT liquid crystal display panel 116 has pixels which are arranged to form a matrix, and, in each line of pixels, the pixel arranged at each even number row is provided with an even number row scanning line and the pixel arranged at each odd number row is provided with an odd number row scanning line. Each series of plural signal lines are shared for two neighboring rows. A scanning drive circuit 111 successively transmits selection signals to the even number row scanning lines and the odd number row scanning lines in each line. When the circuit 111 selects an even number row scanning line or an odd number row scanning line in each line, a signal driving circuit 106 transmits the display data of the even number row pixel or the odd number row pixel connected to the even number row scanning line or the odd number row scanning line of the corresponding selected line to each of the plural signal lines.

Int'l Class: G02F001133; G09G00336

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-248385

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl.<sup>6</sup>  
G 0 2 F 1/133  
G 0 9 G 3/36

識別記号 庁内整理番号  
550

F I  
G 0 2 F 1/133  
G 0 9 G 3/36

技術表示箇所

審査請求 未請求 請求項の数15 O.L. (全 20 頁)

(21) 出願番号 特願平7-48803

(22) 出願日 平成 7 年(1995) 3 月 8 日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 古橋 勉  
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 新田 博幸  
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 池田 牧子  
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

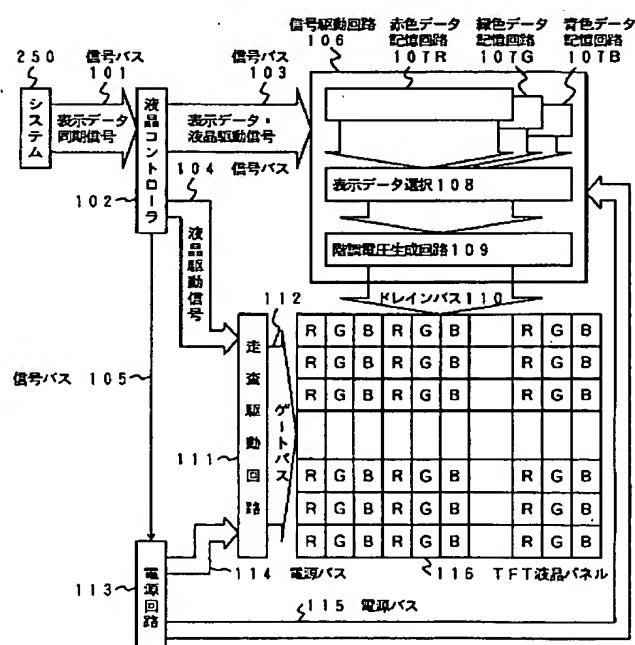
(54) 【発明の名称】 アクティブマトリックス型液晶ディスプレイとその駆動方法

(57) 【要約】

【目的】TFT液晶ディスプレイにおいて、特に信号線数を削減して信号駆動回路の低コスト化を図る。

【構成】 TFT 液晶パネル 116 は、マトリクス状に配置された画素のそれぞれの行ごとに、偶数列番目に配置された画素に接続される偶数列走査線と、奇数列番目に配置された画素に接続される奇数列走査線とを備え、複数の信号線の各々は、マトリクス状に配置された画素の隣接する 2 つの列ごとに共有される。走査駆動回路 111 は、マトリクス状に配置された画素のそれぞれの行ごとの偶数列走査線と奇数列走査線とに順次選択信号を伝送し、信号駆動回路 106 は走査駆動回路 111 によりそれぞれの行ごとに偶数列走査線もしくは奇数列走査線が選択されるときに、当該選択された行の偶数列走査線もしくは奇数列走査線に接続される偶数列もしくは奇数列の画素の表示データを複数の信号線のそれぞれに送出する。

### 本実験のTFT液晶ディスプレイの構成図(図1)



## 【特許請求の範囲】

【請求項1】アクティブ素子および液晶により構成される複数の画素をマトリクス状に配置する液晶パネルを備えるアクティブマトリックス型液晶ディスプレイにおいて、

前記複数の画素の各々の表示データに対応した信号を送出する信号駆動手段と、

前記複数の画素の各々に前記表示データを書き込むための選択信号を送出する走査駆動手段とを有し、

前記液晶パネルは、前記マトリクス状に配置された画素の隣接する2つの列ごとに共有され、前記信号駆動手段から送出される前記表示データに対応した信号を伝送する複数の信号線と、

前記マトリクス状に配置された画素のそれぞれの行ごとに設けた、前記マトリクス状に配置された画素の偶数列番目に配置された画素に接続される偶数列走査線と、奇数列番目に配置された画素に接続される奇数列走査線とを備え、

前記走査駆動手段は、前記行ごとに順次、前記行ごとの前記偶数列走査線と前記奇数列走査線とにそれぞれ前記選択信号を出し、

前記信号駆動手段は、前記走査駆動手段により前記行ごとの前記偶数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の偶数列走査線に接続される偶数列の画素の表示データを前記複数の信号線のそれぞれに送出し、前記走査駆動手段により前記行ごとの前記奇数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の奇数列走査線に接続される奇数列の画素の表示データを前記複数の信号線のそれぞれに送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項2】請求項1において、前記走査駆動手段は、前記画素の一行の前記偶数列走査線と前記奇数列走査線とへの選択信号の送出を、一水平表示期間内に行うことの特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項3】請求項1において、前記走査駆動手段は、前記画素のそれぞれの行ごとの前記偶数列走査線と前記奇数列走査線とを順次選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であって、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行の前記偶数列走査線と前記奇数列走査線とに対して予備的に選択信号をさらに送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項4】請求項1において、前記信号駆動手段は、前記複数の信号線の各々に送出する前記信号の電圧極性を隣接する信号線ごとに反転させて送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項5】請求項1において、前記信号駆動手段は、

前記複数の信号線の各々に送出する前記信号の電圧極性を前記画素の行ごとに反転させて送出し、

前記走査駆動手段は、前記画素のそれぞれの行ごとの前記偶数列走査線と前記奇数列走査線とを順次選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であって、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行の前記偶数列走査線と前記奇数列走査線とに対して予備的に選択信号をさらに送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項6】請求項1において、前記液晶パネルは、前記マトリクス状に配置された画素の列ごとに同一の色のカラーフィルタをさらに備えることを特徴とするアクティブマトリックス型液晶ディスプレイ。.

【請求項7】アクティブ素子および液晶により構成される複数の画素をマトリクス状に配置する液晶パネルを備えるアクティブマトリックス型液晶ディスプレイにおいて、

前記複数の画素の各々の表示データに対応した信号を送出する信号駆動手段と、

前記信号駆動手段から送出される前記表示データを書き込むための選択信号を前記複数の画素の各々の行ごとに出し、また、前記画素のそれぞれの行ごとに選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であって、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行に対して予備的に選択信号をさらに送出する走査駆動手段とを有し、

前記信号駆動手段は、前記走査駆動手段により前記それぞれの行ごとに選択信号が送出されているときに、当該送出された行の画素の表示データを当該画素のそれぞれに送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項8】アクティブ素子および液晶により構成される複数の画素をマトリクス状に配置し、前記マトリクス状に配置された画素の行ごとに同一の色のカラーフィルタを備える液晶パネルと、

前記複数の画素の各々の表示データに対応した信号を送出する信号駆動手段と、

前記複数の画素の各々に前記表示データを書き込むための選択信号を送出する走査駆動手段とを備えるアクティブマトリックス型液晶ディスプレイにおいて、

前記走査駆動手段は、前記マトリクス状に配置された画素のそれぞれの行ごとに順次選択信号を出し、

前記信号駆動手段は、前記走査駆動手段によりそれぞれの行ごとに選択信号が送出されるときに、当該選択信号が送出された行のカラーフィルタの画素の表示データを前記複数の信号線のそれぞれに送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項9】請求項8において、前記カラーフィルタ

は、隣接する3水平方向の画素において赤色、緑色および青色のカラーフィルタであり、前記走査駆動手段は、前記隣接する3水平方向の走査線への選択信号の送出を、一水平表示期間内に行うことを行つて、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行に対して予備的に選択信号を送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項10】請求項8において、前記走査駆動手段は、前記画素のそれぞれの行ごとに選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であつて、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行に対して予備的に選択信号を送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項11】請求項8において、前記信号駆動手段は、前記複数の信号線の各々から送出する前記信号の電圧極性を隣接する信号線ごとに反転させて送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項12】請求項8において、前記信号駆動手段は、前記複数の信号線の各々から送出する前記信号の電圧極性を前記画素の行ごとに反転させて送出し、前記走査駆動手段は、前記画素のそれぞれの行ごとに選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であつて、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行に対して予備的に選択信号をさらに送出することを特徴とするアクティブマトリックス型液晶ディスプレイ。

【請求項13】アクティブ素子および液晶により構成される複数の画素をマトリックス状に配置し、前記マトリックス状に配置された画素の隣接する2つの列ごとに共有され、前記複数の画素の各々の表示データに対応した信号を前記複数の画素の各々に伝送する複数の信号線と、前記マトリックス状に配置された画素のそれぞれの行ごとに設けた、偶数列番目に配置された画素に接続される偶数列走査線と、奇数列番目に配置された画素に接続される奇数列走査線とを備える液晶パネルの駆動方法であつて、

前記マトリックス状に配置された画素のそれぞれの行ごとに順次、前記偶数列走査線と前記奇数列走査線とに、前記画素の各々に前記表示データに対応した信号を書き込むように指示するための選択信号をそれぞれ送出し、前記行ごとの前記偶数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の偶数列走査線に接続される偶数列の画素の表示データを前記複数の信号線のそれぞれに送出し、

前記行ごとの前記奇数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の奇数列走査線に接続される奇数列の画素の表示データを前記複数の信号線のそれぞれに送出することを特徴とする駆動方

法。

【請求項14】アクティブ素子および液晶により構成される複数の画素をマトリックス状に配置し、前記複数の画素の各々の表示データに対応した信号を前記複数の画素の各々に伝送する複数の信号線と、前記複数の信号線により前記表示データに対応した信号が与えられているときに当該信号を前記画素の各々に書き込むように指示するための選択信号を前記画素の各々に伝送する複数の走査線とを備える液晶パネルの駆動方法であつて、前記表示データに対応した信号を前記信号線に送出し、前記表示データを書き込むための選択信号を前記複数の画素の各々の行ごとに送出し、前記画素のそれぞれの行ごとに選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であつて、前記画素に印加する電圧の極性と同一の極性が印加される行に対して予備的に選択信号をさらに送出することを特徴とする駆動方法。

【請求項15】アクティブ素子および液晶により構成される複数の画素をマトリックス状に配置する液晶パネルにおいて、前記マトリックス状に配置された画素の隣接する2つの列ごとに共有される複数の信号線と、前記マトリックス状に配置された画素のそれぞれの行ごとに設けた、前記マトリックス状に配置された画素の偶数列番目に配置された画素に接続される偶数列走査線と、奇数列番目に配置された画素に接続される奇数列走査線とを備えることを特徴とする液晶パネル。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、TFT液晶ディスプレイに係り、特に、高画質表示、低消費電力動作が可能なTFT液晶パネルの構成と駆動回路およびその駆動回路に関するものである。

##### 【0002】

【従来の技術】従来のTFT(Thin Film Transistor)液晶ディスプレイは、特開昭63-237095号公報の『カラー液晶表示装置』(日立製作所)に記載されているように、マトリックス状に配列された電極の交差部にTFT、画素電極、液晶およびカラーフィルタからなる画素を有するTFT液晶パネルに表示データに対応した階調電圧を印加することでカラー表示を行っている。

【0003】従来のTFT液晶ディスプレイを図2、図3および図4を参照して説明する。図2に従来液晶表示装置の構成図を示し、図3に従来液晶パネルの等価回路図を示し、図4に従来液晶表示装置の駆動波形図を示す。

【0004】図2において、信号バス101は、上位装置であるシステム250から供給される表示データと同期信号とを転送する。液晶コントローラ201は、表示データと同期信号とをTFT液晶ディスプレイを駆動す

るための表示データおよび液晶駆動信号に変換する。信号バス202は、信号駆動回路205に供給する表示データと液晶駆動信号とを転送する。信号バス203は、走査駆動回路209に液晶駆動信号を供給する。信号バス204は、電源回路に供給する信号を転送する。信号駆動回路205は、一水平ライン分の液晶表示データを取り込み、階調電圧生成回路207は、一水平ライン分の液晶表示データに対応したドレン電圧を生成する。赤色データ記憶回路206Rは、赤色データ（以下、Rデータと称す）を順次取り込み記憶する。緑色データ記憶回路206Gは、緑色データ（以下、Gデータと称す）を順次取り込み記憶する。青色データ記憶回路206Bは、青色データ（以下、Bデータと称す）を順次取り込み記憶する。ドレンバス208は、階調電圧であるドレン電圧（Vd）をTFT液晶パネルに転送する出力端子である。走査駆動回路209は、ゲートバス210に順次選択電圧を印加する。ゲートバス210は、一水平ライン分の画素を順次選択するゲート電圧（Vg）を転送する。電源回路211は、電源電圧を供給する。電源バス212は、走査駆動回路209に電源電圧を供給する。電源バス213は、信号駆動回路205に電源電圧を供給する。TFT液晶パネル214は、ドレンバス208とゲートバス210とがマトリクス状に交差する構成をとっているとともに、縦方向に同一色のカラーフィルタが設けられた縦ストライプ構造となっている。

【0005】図3は、図2に示すTFT液晶パネル214の画素部の等価回路を示している。画素部301には、スイッチング動作を行うTFTと液晶LCDとが構成されている。水平方向の画素部では、ゲート線302（G<sub>n-1</sub>, G<sub>n</sub>, G<sub>n+1</sub>）を共有し、垂直方向の画素部では、ドレン線303（D<sub>0</sub>, D<sub>1</sub>, … D<sub>m</sub>）を共有している。よって、解像度が垂直方向480ライン、水平方向640ドットのパーソナルコンピュータ用TFT液晶パネルでは、480本のゲート線210を有することになる。更に、水平方向に関しては、1ドットはRGBの3画素で構成されていることから、1920（=640×3）本のドレン線を有することになる。

【0006】図4は、従来の液晶表示装置の駆動波形図を示したものである。図4において、G<sub>n</sub>は図3に示すゲートバス210のうちnライン目のゲート信号の電圧波形を示し、G<sub>n+1</sub>はゲートバス210のうち（n+1）ライン目のゲート信号の電圧波形を示し、V<sub>go n</sub>はゲートの選択レベル、V<sub>go ff</sub>はゲートの非選択レベルを示す。V<sub>d</sub>は、ドレン信号の電圧波形を示し、V<sub>c1 n</sub>はn行目の液晶LCDに印加されて保持される電圧波形を示し、V<sub>c1 (n+1)</sub>は、（n+1）行目の液晶LCDに印加されて保持される電圧波形を示す。V<sub>c0 m</sub>は液晶LCDに印加保持される電圧の基準となる電圧レベルを示す。

【0007】つぎに、図2における動作の詳細な説明をする。

【0008】液晶コントローラ201は、信号バス101で転送される表示データと同期信号とをTFT液晶ディスプレイを駆動するための表示データおよび液晶駆動信号に変換する。そして、液晶コントローラ201は、信号駆動回路205に供給する表示データおよび液晶駆動信号を信号バス202を介して転送し、走査駆動回路209に供給する液晶駆動信号を信号バス203を介して転送し、電源回路211に供給する信号を信号バス204を介して転送する。信号駆動回路205は、信号バス202を介して転送される表示データを記憶回路206R、206G、206Bで順次取り込み記憶する。そして、信号駆動回路205は、一水平ライン分の液晶表示データを取り込み終わると、信号バス202を介して転送する同期信号に同期して、階調電圧生成回路207において一水平ライン分の液晶表示データに対応したドレン電圧を生成し、ドレンバスに出力する。信号駆動回路205がドレン電圧を生成し、ドレンバス208に出力するのに同期して、走査駆動回路209は、ゲートバス210に順次選択電圧を印加する。ゲートバスの選択電圧は、図4に示すように一水平表示期間印加されることになる。そして、これを一フレーム期間繰り返すことにより、一画面分の表示データに対応した電圧を各画素部301に印加することが可能になる。また、図4に示すように、ドレン線をライン毎に交流化することで、ライン毎に正極性と負極性の電圧を交互に印加することが可能になるとともに、隣接するドレン線を介して転送するドレン電圧の極性を反転することで、水平画素毎に正極性と負極性の電圧を交互に印加することが可能になる。これにより、正極性と負極性の電圧が画面全体に均等分布することから、ちらつきの発生を防止している。

【0009】

【発明が解決しようとする課題】従来技術に記載したTFT液晶ディスプレイは、垂直方向のドレンバス208のドレン線に対応する出力端子を有する信号駆動回路と、水平方向のゲートバス210のゲート線に対応する出力端子を有する走査回路とが必須である。信号駆動回路は、多レベルの階調電圧を生成することが必要なことから、現在、出力端子当たり約3円のコストとなっていることから、解像度640水平ドットのカラーTFT液晶パネルに必要な信号駆動回路のコストは、1920（=RGB×640）×3=5760円となる。また、走査回路は、選択電圧と非選択電圧の2レベルの電圧を生成することから、その出力端子当たりのコストは信号駆動回路の約半分の1.5円で済むことになり、解像度480垂直ラインのカラーTFT液晶パネルに必要な走査回路のコストは、480×1.5=720円となる。よって、解像度640ドット×480ラインのカラーT

FT液晶パネルの駆動回路のコストは、約6440円となる。

【0010】これらのことから、コストの高い信号駆動回路の部品点数が多いことが、TFT液晶ディスプレイの低コスト化を図る上での課題となっている。

【0011】本発明の目的は、信号駆動回路数を削減して低コスト化を図ることができるTFT液晶ディスプレイおよびその駆動方法を提供することにある。また、他の目的としては、高速書き込みが実現できるTFT液晶ディスプレイおよびその駆動方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、アクティブ素子および液晶により構成される複数の画素をマトリクス状に配置する液晶パネルを備えるアクティブマトリックス型液晶ディスプレイにおいて、前記複数の画素の各々の表示データに対応した信号を送出する信号駆動手段と、前記複数の画素の各々に前記表示データを書き込むための選択信号を送出する走査駆動手段とを有し、前記液晶パネルは、前記マトリクス状に配置された画素の隣接する2つの列ごとに共有され、前記信号駆動手段から送出される前記表示データに対応した信号を伝送する複数の信号線と、前記マトリクス状に配置された画素のそれぞれの行ごとに設けた、前記マトリクス状に配置された画素の偶数列番目に配置された画素に接続される偶数列走査線と、奇数列番目に配置された画素に接続される奇数列走査線とを備え、前記走査駆動手段は、前記行ごとに順次、前記行ごとの前記偶数列走査線と前記奇数列走査線とにそれぞれ前記選択信号を出し、前記信号駆動手段は、前記走査駆動手段により前記行ごとの前記偶数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の偶数列走査線に接続される偶数列の画素の表示データを前記複数の信号線のそれぞれに出し、前記走査駆動手段により前記行ごとの前記奇数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の奇数列走査線に接続される奇数列の画素の表示データを前記複数の信号線のそれぞれに送出する。

【0013】他の解決手段として、アクティブ素子および液晶により構成される複数の画素をマトリクス状に配置する液晶パネルを備えるアクティブマトリックス型液晶ディスプレイにおいて、前記複数の画素の各々の表示データに対応した信号を送出する信号駆動手段と、前記信号駆動手段から送出される前記表示データを書き込むための選択信号を前記複数の画素の各々の行ごとに出し、また、前記画素のそれぞれの行ごとに選択信号を送出するときに、当該選択信号が送出される行より後に選択信号が送出される行であって、前記信号駆動手段により前記画素に印加する電圧の極性と同一の極性が印加される行に対して予備的に選択信号をさらに送出する走査

駆動手段とを有し、前記信号駆動手段は、前記走査駆動手段により前記それぞれの行ごとに選択信号が送出されているときに、当該送出された行の画素の表示データを当該画素のそれぞれに送出するようにもよい。

【0014】さらに、アクティブ素子および液晶により構成される複数の画素をマトリクス状に配置し、前記マトリクス状に配置された画素の行ごとに同一の色のカラーフィルタを備える液晶パネルと、前記複数の画素の各々の表示データに対応した信号を送出する信号駆動手段と、前記複数の画素の各々に前記表示データを書き込むための選択信号を送出する走査駆動手段とを備えるアクティブマトリックス型液晶ディスプレイにおいて、前記走査駆動手段は、前記マトリクス状に配置された画素のそれぞれの行ごとに順次選択信号を出し、前記信号駆動手段は、前記走査駆動手段によりそれぞれの行ごとに選択信号が送出されるときに、当該選択信号が送出された行のカラーフィルタの画素の表示データを前記複数の信号線のそれぞれに送出するようにもよい。

【0015】

【作用】本発明における液晶パネルでは、マトリクス状に配置された画素のそれぞれの行ごとに、偶数列番目に配置された画素に接続される偶数列走査線と、奇数列番目に配置された画素に接続される奇数列走査線とを備え、前記複数の信号線の各々は、前記マトリクス状に配置された画素の隣接する2つの列ごとに共有される。

【0016】走査駆動手段は、前記行ごとに順次、前記行ごとの前記偶数列走査線と前記奇数列走査線とにそれぞれ前記選択信号を送出する。

【0017】信号駆動手段は、前記走査駆動手段により前記行ごとの前記偶数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の偶数列走査線に接続される偶数列の画素の表示データを前記複数の信号線のそれぞれに出し、前記走査駆動手段により前記行ごとの前記奇数列走査線に選択信号が送出されているときに、当該選択信号が送出された行の奇数列走査線に接続される奇数列の画素の表示データを前記複数の信号線のそれぞれに送出する。

【0018】これにより、信号線は、水平方向の隣接する偶数画素と奇数画素で共有するため、信号駆動手段の信号線数を水平方向のドット数×3（赤色、青色、緑色）／2本にすることができる。

【0019】また、走査駆動手段において、対応する信号電圧が信号線から供給される前に一旦選択電圧を供給し、対応する信号電圧が信号線から供給された時に再び選択電圧を印加するようにすることで、予め所望する信号電圧と同一極性の信号電圧を予備書き込みができる作用がある。

【0020】また、液晶パネルに、マトリクス状に配置された画素の行ごとに同一の色のカラーフィルタを設ける場合には、信号線数を水平方向のドット数と同一にで

きる作用がある。この場合、信号駆動手段は、走査駆動手段によりそれぞれの行ごとに選択信号が送出されるときに、当該選択信号が送出された行の画素の表示データを前記複数の信号線のそれぞれに送出する。

#### 【0021】

【実施例】本発明の第1の実施例を図1、図5、図6および図7を参照して説明する。図1にTFT液晶ディスプレイの構成図を示し、図5にTFT液晶パネルの等価回路図を示し、図6に画素部印加電圧極性図を示し、図7にTFT液晶パネルの駆動波形図を示す。

【0022】図1において、信号バス101は、上位装置であるシステム250から供給される表示データと同期信号とを転送する。液晶コントローラ102は、表示データと同期信号とをTFT液晶ディスプレイを駆動するための表示データおよび液晶駆動信号に変換する。信号バス103は、信号駆動回路に供給する表示データと液晶駆動信号とを転送する。信号バス104は、走査駆動回路111に液晶駆動信号を供給する。信号バス105は、電源回路に供給する信号を転送する。信号駆動回路106は、一水平ライン分の液晶表示データを取り込み、階調電圧生成回路109は、一水平ライン分の液晶表示データに対応したドレイン電圧を生成する。赤色データ記憶回路107Rは、赤色データ（以下、Rデータと称す）を順次取り込み記憶する。緑色データ記憶回路107Gは、緑色データ（以下、Gデータと称す）を順次取り込み記憶する。青色データ記憶回路107Bは、青色データ（以下、Bデータと称す）を順次取り込み記憶する。表示データ選択回路108は、一水平周期を2分割し、はじめの1/2水平周期期間で水平方向偶数画素に対応した表示データを選択し、後の1/2水平期間で水平方向奇数画素に対応した表示データを選択する。ドレンバス110は、階調電圧であるドレン電圧（Vd）をTFT液晶パネルに転送する出力端子である。走査駆動回路111は、ゲートバス112に順次選択電圧を印加する。ゲートバス112は、一水平ライン分の画素を順次選択するゲート電圧（Vg）を転送する。電源回路113は、電源電圧を供給する。電源バス114は走査駆動回路111に電源電圧を供給する。電源バス115は、信号駆動回路106に電源電圧を供給する。TFT液晶パネル116は、ドレンバス110とゲートバス112とがマトリクス状に交差する構成をとっているとともに、縦方向に同一色のカラーフィルタが設けられた縦ストライプ構造となっている。

【0023】図5に、図1に示すTFT液晶パネル116の画素部の等価回路図を示す。画素部501は、スイッチング動作を行うTFTと液晶LCとで構成し、液晶の一方の電極はTFTに、もう一方の電極は全画素共通の対向電極Comに接続している。本実施例においては、図5に示すように、水平方向の奇数画素と偶数画素とでドレン線を共有するとともに、垂直方向の画素で

もドレン線を共有する。また、ゲート線は水平方向の奇数画素毎に共有し、偶数画素毎に共有する。よって、解像度が垂直方向480ライン、水平方向640ドットのパーソナルコンピュータ用TFT液晶パネルでは、1ドットはRGBの3画素で構成されていることから、960（=480×2）本のゲート線112を有することになる。更に、960（=640×3÷2）本のドレン線503を有することになる。

【0024】図6は、図1に示すTFT液晶パネル116に印加される電圧の極性を示したものである。本実施例では、同一水平方向の画素部において、偶数ドレン線（D0、D2、…）と奇数ドレン線（D1、D3、…）とで、駆動する画素部に印加する電圧極性が反転し、その電圧印加極性はライン毎に反転するように駆動することにする。

【0025】図7は、図1に示すTFT液晶パネルの駆動波形図を示したものである。図7において、Gn(0)は、ゲートバス112のうちnライン目でかつ水平方向偶数画素、つまり図5および図6で示すドレン線の左側に位置する画素のゲート線の電圧波形であり、例えば、G1(0)はゲートバス112のうち1ライン目でかつ水平方向偶数画素、つまり図5および図6で示すドレン線の左側に位置する画素のゲート線の電圧波形である。また、G1(1)はゲートバス112のうち1ライン目でかつ水平方向奇数画素、つまり図5および図6で示すドレン線の右側に位置する画素のゲート線の電圧波形である。ゲート線の電圧波形において、Vgonはゲート線の選択レベル、Vgoffは非選択レベルである。Vdはドレン信号の電圧波形であり、本実施例では、ドレン線D0のドレン電圧を示すことにする。また、Vc1(1,0)は1行0列目の液晶LCに印加され保持される電圧波形であり、Vc1(1,1)は1行1列目の液晶LCに印加され保持される電圧波形であり、Vc1(2,0)は2行0列目の液晶LCに印加され保持される電圧波形であり、Vcomは液晶LCに印加保持される電圧の基準となる対向電極Comの電圧レベルを示している。T1からT10は、何れも1/2水平期間の時間を示している。

【0026】つぎに、図1における動作の詳細な説明をする。

【0027】液晶コントローラ101は、信号バス101で転送される表示データと同期信号とをTFT液晶ディスプレイを駆動するための表示データおよび液晶駆動信号に変換する。そして、信号駆動回路106に供給する表示データおよび液晶駆動信号を信号バス103で転送し、走査駆動回路111に供給する液晶駆動信号を信号バス104で転送し、電源回路113に供給する信号を信号バス105で転送する。信号駆動回路106は、信号バス103で転送される表示データを記憶回路107R、107G、107Bで順次取り込み記憶する。そ

して、信号駆動回路106は、一水平ライン分の表示データを取り込み終わると、記憶した表示データを表示データ選択回路108に入力する。表示データ選択回路108では、一水平周期を2分割して、はじめの1/2水平周期期間では、図5および図6に示すドレインバス110の左側に接続されている水平方向偶数画素に対応した表示データを選択する。つまり、ドレインバス110のうちドレイン線D0ではRデータを選択し、ドレイン線D1ではBデータを選択するように動作する。そして、後の1/2水平期間では、ドレインバス110の右側に接続されている水平方向奇数画素に対応した表示データを選択する。つまり、ドレインバス110のうちドレイン線D0ではGデータを選択し、ドレイン線D1ではRデータを選択するように動作する。従って、階調電圧生成回路109では、はじめの1/2水平期間で水平方向偶数画素の1/2水平ライン分の表示データに対応したドレイン電圧を生成し、ドレインバスに出力する。そして、階調電圧生成回路109は、後の1/2水平期間で水平方向奇数画素の1/2水平ライン分の表示データに対応したドレイン電圧を生成し、ドレインバスに出力する。

【0028】信号駆動回路106は、ドレイン電圧を生成し、ドレインバス110に出力するのに同期して、走査駆動回路111はゲートバス112に順次選択電圧を印加する。ゲートバスの選択電圧V<sub>g o n</sub>は、図7に示すように、1/2水平期間印加されることになる。つまり、T3の期間では水平方向偶数画素である1行0列目に印加するドレイン電圧V<sub>d</sub>が供給され、ゲート線G1(0)に選択電圧V<sub>g o n</sub>が印加されて画素部の液晶LCに充電される。T4の期間では水平方向奇数画素である1行1列目に印加するドレイン電圧V<sub>d</sub>が供給され、ゲート線G1(1)に選択電圧V<sub>g o n</sub>が印加されて画素部の液晶LCに充電される。これにより、一水平ラインの画素部に電圧が印加することが可能になる。そして、書き込み動作は2ラインへ移行し、T5の期間では水平方向偶数画素である2行0列目に印加するドレイン電圧V<sub>d</sub>が供給され、ゲート線G2(0)に選択電圧V<sub>g o n</sub>が印加されて画素部の液晶LCに充電される。ここで、図6に示すように、同一水平ライン上のドレイン線を共有する隣接画素部では、同一の極性電圧を印加することから、図7に示すように、T3およびT4期間でのドレイン電圧極性は同一極性となり、T5およびT6期間でのドレイン電圧極性は同一極性となるように動作する。また、図6に示すように偶数ラインと奇数ラインとの画素部では、反転した極性電圧を印加することから、図7に示すT5およびT6期間でのドレイン電圧極性は、T3およびT4期間でのドレイン電圧極性に対して極性が反転するように動作する。また、本実施例の図7において、ドレイン電圧V<sub>d</sub>がドレイン線D0の電圧波形として説明したが、図6に示すように、偶数のドレ

イン線(D2、D4、...)では、ドレイン線D0と同様の電圧極性となり、奇数のドレイン線(D1、D3、...)では、ドレイン線D0と極性反転した電圧となる。この動作を一フレーム期間繰り返すことにより、一画面分の表示データに対応した電圧を各画素部に印加することが可能になるとともに、画素部の液晶LCに印加する電圧が正極性と負極性に画面全体で均等に分布することから高画質表示が得られる。

【0029】ここで、信号駆動回路106は集積回路であることから、そのコストはチップサイズに起因している。信号駆動回路106において、階調電圧生成回路109の占有面積が大きいことから、液晶表示データ選択回路108を新たに設けても、そのコストは約1割程度の上昇にしかならず、出力端子当たりのコストは約3.5円程度である。

【0030】これにより、従来技術では、信号駆動回路のコストが1920端子(=RGB×640)×3円=5760円であり、走査回路のコストが480端子×1.5円=720円であるので、駆動回路の合計コストが約6440円であった。本実施例では、信号駆動回路のコストが960端子(=RGB×640÷2)×3.5円=3360円であり、走査回路のコストが960端子(=480×2)×1.5円=1440円である駆動回路の合計コストが約4800円となり、従来技術に対して約25%のコスト削減が可能である。

【0031】つぎに、第2の実施例を、図8に示す駆動波形図を用いて説明する。第2の実施例は、TFTの書き込み速度が遅い場合を想定したものである。つまり、従来技術では、一画素当たりの選択期間が一水平周期であったのに対して、本発明の第1の実施例では、1/2水平周期と短くなっている。TFTの書き込み速度が遅い場合には、1/2水平周期では所望する電圧が画素部の液晶LCに充電できない場合がある。そこで、第2の実施例は、書き込み速度が遅いTFTを用いても所望する電圧が画素部の液晶LCに充電できる高速書き込み動作を考慮したものである。

【0032】図8に示す駆動波形図において、水平方向偶数画素である1行0列目の画素部の液晶LCと水平方向奇数画素である1行1列目の画素部の液晶LCには、前フレームで負極性の電圧が印加されて蓄積されている。液晶はフレーム毎に極性の異なる電圧を印加して劣化を防止することから、図8に示すように、水平方向偶数画素である1行0列目の画素部の液晶LCと水平方向奇数画素である1行1列目の画素部の液晶LCとには、正極性の電圧を印加する必要がある。よって、画素部の液晶が保持していた極性の電圧と、書き込む極性の電圧とでは、極性が異なる電圧を印加することから、書き込み速度が遅いTFTでは、充電時間が長くなることになる。本実施例では、T3の期間でゲート線G3(0)に一旦選択電圧V<sub>g o n</sub>を印加することで、ゲート線G1

(0)で駆動する1行0列目に印加すべき正極性の電圧を予め3行0列目の画素部に印加する予備の書き込み動作を行い、その後、T7の期間でドレン線から所望するドレン電圧Vdが供給された時点で、再びゲート線G3(0)に選択電圧Vgonを印加して画素部の液晶LCに充電する。同様に、T4の期間でゲート線G3

(1)に一旦選択電圧Vgonを印加することで、ゲート線G1(1)で駆動する1行1列目に印加すべき正極性の電圧を予め3行1列目の画素部に印加する予備書き込み動作を行い、その後T8の期間でドレン線から所望するドレン電圧Vdが供給された時点で、再びゲート線G3(1)に選択電圧Vgonを印加して画素部の液晶LCに充電する。他のラインでも同様に実施することにより、一画面分の表示動作が実行できる。予め所望する極性の電圧と同極性の電圧を一旦印加する予備書き込みを実施し、改めて所望する電圧を印加する動作を行うことから、書き込み速度が遅いTFTを用いても所望する電圧が画素部の液晶LCに充電できることになる。また、所望するドレン電圧Vdを印加する直前に予備書き込みを実施することから、表示を損なうことがない。

【0033】つぎに、第3の実施例を、図9のTFT液晶パネルの印加電圧極性図、図10の駆動波形図を用いて説明する。第3の実施例では、第2の実施例と同様に、TFTの書き込み速度が遅い場合を想定したものである。第2の実施例と異なる点は、ライン毎のドレン線から転送されるドレン電圧(Vd)が反転しない点である。

【0034】図9において、同一水平方向の画素部において、偶数ドレン線(D0、D2、...)と奇数ドレン線(D1、D3、...)で駆動する画素部に印加する電圧極性が反転しており、その電圧印加極性はライン毎で一定である。

【0035】図10に示す駆動波形図において、1行0列目と1行1列目の画素部の液晶LCには、前フレームで負極性の電圧が蓄積されている。よって、表示画面を損なわないように、予め正極性の電圧を印加する予備書き込みを実施して、改めて所望する電圧を印加することで、高速書き込みが可能になる。本実施例では、T3の期間でゲート線G1(0)に一旦選択電圧Vgonを印加することで、ゲート線G0(1)で駆動する0行1列目に印加すべき正極性の電圧を予め1行0列目の画素部に印加する予備書き込み動作を行い、その後T4の期間でドレン線から所望するドレン電圧Vdが供給された時点で、画素部の液晶LCに充電する。同様に、T4の期間でゲート線G1(1)に一旦選択電圧Vgonを印加することで、ゲート線G1(0)で駆動する1行0列目に印加すべき正極性の電圧を予め1行1列目の画素部に印加する予備書き込み動作を行い、その後T5の期間でドレン線から所望するドレン電圧Vdが供給さ

れた時点での画素部の液晶LCに充電する。このように、隣接する画素部において、そのゲート線選択電圧を1/2水平期間前に生成することで、予備書き込み動作が実施できるので、高速書き込みが実現できる。

【0036】本発明の第4の実施例を図11、図12、図13および図14を参照して説明する。図11に液晶表示装置の構成図を示し、図12に液晶パネルの等価回路図、図13に画素部印加電圧極性図を示し、図14に液晶表示装置の駆動波形図を示す。

【0037】図11において、信号バス101は、上位装置であるシステム250から供給される表示データと同期信号とを転送する。液晶コントローラ1101は、表示データと同期信号とをTFT液晶ディスプレイを駆動するための表示データおよび液晶駆動信号に変換する。信号バス1102は、信号駆動回路1105に供給する液晶表示データと液晶駆動信号とを転送する。信号バス1103は走査駆動回路1110に供給し、信号バス1104は電源回路に供給する信号を転送する。信号駆動回路1105は、一水平ライン分の液晶表示データを取り込む。赤色データ記憶回路1106Rは赤色データ(以下、Rデータと称す)を順次取り込み記憶する。緑色データ記憶回路1106Gは緑色データ(以下、Gデータと称す)を順次取り込み記憶する。青色データ記憶回路1106Bは青色データ(以下、Bデータと称す)を順次取り込み記憶する。液晶表示データ選択回路1107は一水平周期が3分割され、はじめの1/3水平周期期間で全てのドレン線でRデータを選択し、次の1/3水平期間で全てのドレン線でGデータを選択し、最後の1/3水平期間で全てのドレン線でBデータを選択する。階調電圧生成回路1108は、一水平ライン分の液晶表示データに対応したドレン電圧を生成する。ドレンバス1109は、階調電圧であるドレン電圧(Vd)をTFT液晶パネルに転送する出力端子である。走査駆動回路1110は、ゲートバス1111に順次選択電圧を印加する。ゲートバス1111は、一水平ライン分の画素を順次選択するゲート電圧(Vg)を転送する。電源回路1112は、電源電圧を供給する。電源バス1113は走査駆動回路1110に電源電圧を供給する。電源バス1114は信号駆動回路1105に電源電圧を供給する。TFT液晶パネル1115は、ドレンバス1109とゲートバス1111とがマトリクス状に交差する構成をとっているとともに、横向方向に同一色のカラーフィルタが設けられた横ストライプ構造となっている。

【0038】図12に、図11に示すTFT液晶パネル1115の画素部の等価回路を示す。画素部1201には、スイッチング動作を行うTFTと液晶とが構成されている。ドレン線は、図示したように垂直方向の画素部で共有し、ゲート線は水平方向の画素部で共有する。よって、解像度が垂直方向480ライン、水平方向64

0 ドットのパーソナルコンピュータ用 TFT 液晶パネルでは、1 ドットは RGB の 3 画素で構成されていることから 1440 (= 480 × RGB) 本のゲート線 1111 を有することになる。更に、水平方向に関しては、640 本のドレン線を有することになる。

【0039】図 13 は、図 11 に示す液晶パネルに印加される電圧の極性を示したものである。本実施例では、同一水平方向の画素部において、偶数ドレン線 (D0, D2, ...) と奇数ドレン線 (D1, D3, ...) とで駆動する画素部に印加する電圧極性を反転させ、その電圧印加極性はライン毎に反転するように駆動せることにする。

【0040】図 14 は、図 11 に示す液晶表示装置の駆動波形図を示したものである。G1 (R) は、ゲートバス 1111 のうち 1 (R) ライン目のゲート線の電圧波形であり、G1 (G) はゲートバス 1111 のうち 1 (G) ライン目のゲート線の電圧波形であり、G1 (B) はゲートバス 1111 のうち 1 (B) ライン目のゲート線の電圧波形であり、V<sub>g on</sub> は選択レベル、V<sub>g off</sub> は非選択レベルを示す。V<sub>d</sub> はドレン信号の電圧波形であり、V<sub>1c</sub> (1 (R) · 0) は 1 (R) 行 0 列目の液晶 CL に印加され保持される電圧波形であり、V<sub>1c</sub> (1 (G) · 0) は 1 (G) 行 0 列目の液晶 CL に印加され保持される電圧波形であり、V<sub>1c</sub> (1 (B) · 0) は 1 (B) 行 0 列目の液晶 CL に印加され保持される電圧波形であり、V<sub>c on</sub> は液晶 CL に印加保持される電圧の基準となる電圧レベルである。T1 から T16 は何れも 1/3 水平期間の時間を示している。

【0041】つぎに、図 11 を参照して動作の詳細な説明をする。

【0042】図 11において、液晶コントローラ 1101 は、信号バス 101 で転送される表示データと同期信号を TFT 液晶ディスプレイを駆動するための液晶表示データおよび液晶駆動信号に変換する。そして、信号駆動回路 1105 に供給する液晶表示データおよび液晶駆動信号を信号バス 1102 で転送し、走査駆動回路 1110 に供給する液晶駆動信号を信号バス 1103 で転送し、電源回路 1112 に供給する信号を信号バス 1104 で転送する。信号駆動回路 1105 は、信号バス 1102 で転送される液晶表示データを記憶回路 1106 R, 1106 G, 1106 B により順次取り込み記憶する。そして、信号駆動回路 1105 は、一水平ライン分の液晶表示データを取り込み終わると、表示データ選択回路 1107 に入力される。表示データ選択回路 1107 では、一水平周期が 3 分割され、はじめの 1/3 水平周期期間では、図 12 に示すドレンバス 1109 に接続されているゲート線 G<sub>n</sub> (R) で駆動する画素に対応した表示データを選択する。つまり、本実施例では、全てのドレン線で R データを選択するように動作する。そして、次の 1/3 水平期間では、図 12 に示すドレイ

ンバス 1109 に接続されているゲート線 G<sub>n</sub> (G) で駆動する画素に対応した表示データを選択する。つまり、本実施例では、全てのドレン線で G データを選択するように動作する。そして、次の 1/3 水平期間では、図 12 に示すドレンバス 1109 に接続されているゲート線 G<sub>n</sub> (B) で駆動する画素に対応した表示データを選択する。つまり、本実施例では、全てのドレン線で B データを選択するように動作する。従って、階調電圧生成回路 1109 では、はじめの 1/3 水平期間で R データに対応したドレン電圧を生成し、次の 1/3 水平期間で G データに対応したドレン電圧を生成し、次の 1/3 水平期間で B データに対応したドレン電圧を生成し、ドレンバスに出力する。

【0043】信号駆動回路 1105 がドレン電圧を生成し、ドレンバス 1109 に出力するのに同期して、走査駆動回路 1110 は、ゲートバス 1111 に順次選択電圧を印加する。ゲートバスの選択電圧 V<sub>g on</sub> は図 14 に示すように 1/3 水平期間印加されることになる。つまり、T4 の期間では R データに対応したドレン電圧 V<sub>d</sub> が供給され、ゲート線 G1 (R) に選択電圧 V<sub>g on</sub> が印加されて画素部に充電され、T5 の期間では G データに対応したドレン電圧 V<sub>d</sub> が供給され、ゲート線 G1 (G) に選択電圧 V<sub>g on</sub> が印加されて画素部に充電され、T6 の期間では B データに対応したドレン電圧 V<sub>d</sub> が供給され、ゲート線 G1 (B) に選択電圧 V<sub>g on</sub> が印加されて画素部に充電される。

【0044】ここで、図 13 に示すように、偶数ラインと奇数ラインとの画素部では、反転した極性電圧を印加する。また、図 14 に示すように、例えば、T4, T5, T6 期間でのドレン電圧の極性は順次反転極性となり交番する。また、図 13 において、ドレン電圧 V<sub>d</sub> は、偶数のドレン線 (D0, D2, ...) と、奇数のドレン線 (D1, D3, ...) とは極性が反転している。この動作を一フレーム期間繰り返すことにより、一画面分の表示データに対応した電圧を各画素部に印加することが可能になる。

【0045】ここで、信号駆動回路 106 は集積回路であることから、そのコストはチップサイズに起因する。信号駆動回路 106 において、階調電圧生成回路 109 の占有面積が大きいことから、液晶表示データ選択回路 108 を新たに設けても、そのコストは約 1 割程度の上昇にしかならず、出力端子当たりのコストは約 3.5 円程度である。

【0046】これにより、従来技術では、駆動回路の合計コストが約 6440 円であったのに対して、本発明では、信号駆動回路のコストが 640 端子 × 3.5 円 = 2240 円であり、走査回路のコストが 1440 端子 (= 480 × RGB) × 1.5 円 = 2160 円である駆動回路の合計コストが約 4400 円と約 30% のコスト削減が可能である。

【0047】つぎに、図15に示す駆動波形図を参照して第5の実施例を説明する。第5の実施例では、第2の実施例と同様に、TFTの書き込み速度が速い場合を想定したものである。つまり、従来技術では、一画素当たりの選択期間が一水平周期であったのに対して、本発明の第5の実施例では、1/3水平周期となっており、TFTの書き込み速度が遅い場合には、1/3水平周期では所望する電圧が画素部の液晶に充電できない場合がある。よって、第5の実施例は、書き込み速度が遅いTFTを用いても高速書き込みが実現できるものである。

【0048】図15は、図11に示す液晶表示装置において、第5の実施例による駆動波形図を示している。G3(R)は、図12に示すゲートバス1111のうち3(R)ライン目のゲート線の電圧波形であり、G3(G)はゲートバス1111のうち3(G)ライン目のゲート線の電圧波形であり、G3(B)はゲートバス1111のうち3(B)ライン目のゲート線の電圧波形であり、Vgonは選択レベル、Vgoffは非選択レベルを示す。Vdはドレイン信号の電圧波形であり、V1c(3(R)・0)は3(R)行0列目の液晶CLに印加され保持される電圧波形であり、V1c(3(G)・0)は3(G)行0列目の液晶CLに印加され保持される電圧波形であり、V1c(3(B)・0)は3(B)行0列目の液晶CLに印加され保持される電圧波形であり、Vcomは液晶CLに印加保持される電圧の基準となる電圧レベルである。T1からT16は何れも1/3水平期間の時間を示している。

【0049】図15に示す駆動波形図において、3(R)行0列目の画素部の液晶では前フレームで正極性の電圧が、3(G)行0列目の画素部の液晶では前フレームで負極性の電圧が、3(B)行0列目の画素部の液晶では前フレームで正極性の電圧が蓄積されている。よって、表示画面を損なわないように、予め前フレームと逆相の電圧を予備的に印加しておき、改めて所望する電圧を印加することで、高速書き込みが可能になる。本実施例では、例えば、T4の期間で3(R)行0列目の画素部に負極性の電圧を予備電圧として予め印加し、T10期間で所望する負極性の電圧を印加する。なお、このT4の時のドレイン電圧は、ゲート線G1(R)で駆動する負極性の電圧である。同様に、T5の期間で3(G)行0列目の画素部に正極性の電圧を予備電圧として予め印加し、T11期間で所望する正極性の電圧を印加する。なお、このT5の時のドレイン電圧は、ゲート線G3(G)で駆動する正極性の電圧である。同様に、T6の期間で3(B)行0列目の画素部に負極性の電圧を予備電圧として予め印加し、T12期間で所望する負極性の電圧を印加する。なお、このT6の時のドレイン電圧は、ゲート線G1(B)で駆動する負極性の電圧である。

【0050】以上の動作により、高速書き込みが実現で

きる。

【0051】つぎに、図16および図17を参照して第6の実施例を説明する。図11に示す液晶表示装置において、第6の実施例による液晶パネルへの印加電圧極性図を図16に示し、駆動波形図を図17に示す。

【0052】第6の実施例では、第5の実施例と同様に、TFTの書き込み速度が遅い場合を想定したものである。第5の実施例と異なる点は、ライン毎のドレイン線から転送されるドレイン電圧(Vd)が3ライン毎に反転する点である。図16において、同一水平方向の画素部において、偶数ドレイン線(D0, D2, ...)と奇数ドレイン線(D1, D3, ...)とで駆動する画素部に印加する電圧極性が反転しており、その電圧印加極性は3ライン毎つまり、1ドット毎に反転している。

【0053】図17に示す駆動波形図において、3(R)行0列目、3(G)行0列目、3(B)行0列目いずれの画素部の液晶にも、前フレームで正極性の電圧が蓄積されている。よって、表示画面を損なわないように、予め前フレームと逆相の負極性の電圧を印加しておき、改めて所望する電圧を印加することで、高速書き込みが可能になる。本実施例では、ゲート線G3(R)、G3(G)、G3(B)に選択電圧Vgonが印加されるT4、T5およびT6の期間では3(R)行0列目、3(G)行0列目、3(B)行0列目の画素部にゲート線G1(R)、G1(G)、G1(B)で駆動する負極性の電圧を予備電圧として予め印加する。そして、3(R)行0列目の画素部の液晶には、T10の期間で所望するドレイン電圧(Vd)を印加し、3(G)行0列目の画素部の液晶には、T11の期間で所望するドレイン電圧(Vd)を印加し、3(B)行0列目の画素部の液晶には、T12の期間で所望するドレイン電圧(Vd)を印加する。

【0054】このように、予め所望する液晶印加電圧と同一極性の電圧を印加しておくことで、高速書き込みが実現できる。

【0055】つぎに、図18および図19を参照して第7の実施例を説明する。図11に示す液晶表示装置において、第7の実施例による液晶パネルへの印加電圧極性図を図18に示し、駆動波形図を図19に示す。

【0056】第7の実施例では、第5の実施例と同様に、TFTの書き込み速度が遅い場合を想定したものである。第5の実施例と異なる点は、ライン毎のドレイン線から転送されるドレイン電圧(Vd)がラインごとに反転しない点である。

【0057】図18において、同一水平方向の画素部において、偶数ドレイン線(D0, D2, ...)と奇数ドレイン線(D1, D3, ...)とで駆動する画素部に印加する電圧極性が反転しており、その電圧印加極性はライン毎に同一である。

【0058】図19に示す駆動波形図において、図示し

たドレイン線（仮に偶数ドレイン線（D 0、D 2、…）とする。）で駆動する画素部において、前フレームで正極性の電圧が蓄積されてた場合、表示画面を損なわないように、予め前フレームと逆相の負極性の電圧を印加しておき、改めて所望する電圧を印加することで、高速書き込みが可能になる。本実施例では、例えば、ゲート線G 1 (R) に選択電圧V<sub>g o n</sub>が印加されるT 2およびT 3の期間では1 (R) 行0列目の画素部にゲート線G 0 (G)、G 0 (B) で駆動する正極性の電圧を予備電圧として予め印加し、T 4の期間で所望するドレイン電圧(V<sub>d</sub>)を印加する。同様に、ゲート線G 1 (G) に選択電圧V<sub>g o n</sub>が印加されるT 3およびT 4の期間では1 (G) 行0列目の画素部にゲート線G 0 (B)、G 1 (R) で駆動する正極性の電圧を予備電圧として予め印加し、T 5の期間で所望するドレイン電圧(V<sub>d</sub>)を印加する。また、ゲート線G 1 (B) に選択電圧V<sub>g o n</sub>が印加されるT 4およびT 5の期間では1 (R) 行0列目の画素部に先のゲート線G 1 (R)、G 1 (G) で駆動する正極性の電圧を予備電圧として予め印加し、T 6の期間で所望するドレイン電圧(V<sub>d</sub>)を印加する。

【0059】このように、隣接する画素部において、そのゲート線選択電圧を2/3水平期間前に生成することで、高速書き込みが実現できる。

【0060】つぎに、第1の実施例から第6の実施例で用いている走査駆動回路のブロック図を図20に記載し、その動作を説明する。図20において、走査駆動回路111は、1フレーム期間に1回の割合（垂直周期）で、1/2水平周期期間有効になる垂直クロック2001および水平周期の1/2周期ごとに有効になる1/2水平クロック2002を入力し、シフトクロック2004-0(0)、2004-0(1)、2004-1(0)…を生成するシフトレジスタ2003と、電圧レベルをシフトするためのレベルシフト回路2005と、ゲート選択電圧2007とゲート非選択電圧2008とのうちいずれかを各ゲート線ごとに選択するゲート電圧セレクタ2009とを有する。ゲート選択電圧2007とゲート非選択電圧2008とは、それぞれ必要な電圧レベルを供給する。

【0061】図20に示す構成において、第1の実施例におけるタイムチャートを図22に示す。図22において、図7に示すような第1の実施例の駆動波形図のT<sub>1</sub>、T<sub>2</sub>…の期間と同じように、T<sub>1</sub>、T<sub>2</sub>…は、1/2水平期間をそれぞれ示す。また、図20および図22において、2004-0(0)、2004-0(1)、2004-1(0)…は、図5に示すG<sub>n</sub>(0)、G<sub>n</sub>(1)、G<sub>n+1</sub>(0)、G<sub>n+1</sub>(1)の各ゲート線と同期するシフトクロックをそれぞれ示している。

【0062】図20において、シフトレジスタ2003では、垂直クロック2001を入力し、これを1/2水平クロック2002の立上りのタイミングで取り込み、

1/2水平クロック2002の立上りのタイミング毎に、図22に示すようなシフトクロック2004-0(0)、2004-0(1)、2004-1(0)…を順次生成する動作を行う。その後、シフトクロック2004の各々は、ゲート電圧セレクタとの電圧レベルを合わせ込むため、レベルシフト回路2005で電圧がレベルシフトされ、シフトクロック2006-0(0)、2006-0(1)、2006-1(0)…として出力される。その後、シフトクロック2006-0(0)、2006-0(1)、2006-1(0)…はゲート電圧セレクタ2009に転送され、ゲート電圧セレクタ2009では、シフトクロック2006が有効のときにゲート選択電圧を選択し、無効のときにゲート非選択電圧を選択してゲートバス112の各ゲート線に出力する。これにより、図7に示すようなゲート選択電圧を得ることができる。

【0063】また、図20に示す走査駆動回路において、1/2水平クロック2002を、水平周期の1/3周期ごとに有効になる1/3水平クロックとすることにより、第4の実施例における図14に示すようなゲート選択信号を生成することができる。1/2水平クロックもしくは1/3水平クロックは、水平クロックをそれぞれの分周比で分周することにより生成することができる。

【0064】また、図20に示す走査駆動回路において、図23に示すように、垂直クロック2001を、1フレーム期間に2回の割合（垂直周期）で、1/2水平周期期間有効になる垂直クロックとし、水平クロック2002を水平周期の1/2周期ごとに有効になる1/2水平クロックとすれば、第2の実施例における図8に示すようなゲート選択電圧を生成することができる。

【0065】さらに、図20に示す走査駆動回路において、垂直クロック2001を、1フレーム期間に2回の割合（垂直周期）で、1/2水平周期期間有効になる垂直クロックとし、水平クロック2002を水平周期の1/3周期ごとに有効になる1/3水平クロックとすれば、第5の実施例における図15に示すようなゲート選択電圧を生成することができる。

【0066】また、図20に示す走査駆動回路において、図24に示すように、垂直クロック2001を、1フレーム期間に1回の割合（垂直周期）で、1/2水平周期期間有効になる垂直クロックとし、水平クロック2002を1水平周期有効になり、水平周期の1/2周期ごとにシフトするような水平クロックとすれば、第3の実施例における図10に示すようなゲート選択電圧を生成することができる。

【0067】つぎに、第2の走査駆動回路のブロック図を図21に示し、その動作を説明する。

【0068】図21において、走査駆動回路1110は、1フレーム期間に1回の割合（垂直周期）で、1/

3水平周期期間有効になる垂直クロック2101と水平周期の1/3周期ごとに有効になる1/3水平クロック2103とを入力し、シフトクロック2105-0、2105-1、2105-2…を生成するシフトレジスタ2104と、1/3水平周期期間有効になる垂直クロック2102と水平周期の1/3周期ごとに有効になる1/3水平クロック2103とを入力し、シフトクロック2107-0(R)、2107-0(G)、2107-0(B)…を生成するシフトレジスタ2106と、OR回路2108と、電圧レベルをシフトするためのレベルシフト回路2110と、ゲート選択電圧2007とゲート非選択電圧2008とのうちいずれかを各ゲート線ごとに選択するゲート電圧セレクタ2009とを有する。

【0069】図21に示す構成において、第7の実施例におけるタイムチャートを図25に示す。図25において、図17に示すような第7の実施例の駆動波形図のT1、T2…の期間と同じように、T1、T2…は、1/3水平期間をそれぞれ示す。また、図21および図25において、2105-0(0)、2105-0(1)、2105-1(0)…は、図17に示すGn(0)、Gn(1)、Gn+1(0)、Gn+1(1)の各ゲート線と同期するシフトクロックをそれぞれ示している。

【0070】図21において、シフトレジスタ2104では、垂直クロック2101を入力し、これを1/3水平クロック2103の立上りのタイミングで取り込み、1/3水平クロック2103が3回有効になる毎に、図25に示すようなシフトクロック2105-0、2105-1、2105-2…を順次生成する動作を行う。また、シフトレジスタ2106では、垂直クロック2102を入力し、これを1/3水平クロック2103の立上りのタイミングで取り込み、1/3水平クロック2103が有効になる毎に、シフトクロック2107-0

(R)、2107-0(G)、2107-0(B)…を順次生成する動作を行う。その後、OR回路では、シフトクロック2105-0、2105-1、2105-2…と、シフトクロック2107-0(R)、2107-0(G)、2107-0(B)…との対応するそれぞれがORされ、シフトクロック2109-0(R)、2109-0(G)、2109-0(B)…がそれぞれ出力される。例えば、図25に示すように、シフトクロック2105-2と、シフトクロック2107-2(R)、2107-2(G)、2107-2(B)とのそれぞれがORされ、シフトクロック2109-2(R)、2109-2(G)、2109-2(B)が出力される。さらに、ゲート電圧セレクタとの電圧レベルを合わせ込むため、レベルシフト回路2110で電圧がレベルシフトされ、シフトクロック2111-0(R)、2111-0(G)、2111-0(B)…として出力される。その後、シフトクロック2111-0(R)、2111-0(G)、2111-0(B)…は、ゲート電圧セレク

タ2009に転送され、ゲート電圧セレクタ2009では、シフトクロック2111が有効のときにゲート選択電圧を選択し、無効のときにゲート非選択電圧を選択してゲートバス112の各ゲート線に出力する。これにより、図17に示すようなゲート選択電圧を得ることができる。

【0071】以上示したような走査駆動回路を構成することにより、それぞれの実施例におけるゲート選択電圧を生成することができる。

【0072】上述した実施例をパーソナルコンピュータ用TFT液晶ディスプレイに適用した場合、第1の実施例では、コストの高い信号駆動回路数を1/2に削減できるので、従来技術の約25%のコスト削減が可能になる。また、第4の実施例では、信号駆動回路数を1/3に削減できるので、従来技術の約30%のコスト削減が可能になり、何れもTFT液晶ディスプレイの低コスト化が推進できる効果がある。

【0073】さらに、本発明の第2、第3、第5、第6、第7の実施例において、予備書き込み動作を行うことから、低速な書き込み動作を行うTFTを用いた場合でも、所望する階調電圧を画素部に印加できる効果がある。

【0074】また、本発明の全ての実施例において、列毎に正極性と負極性の液晶駆動電圧を印加できるので、印加する電圧の極性が画面全体で均等になり、フリッカを防止でき、高画質表示が可能になる。

【0075】さらに、全ての実施例において、信号駆動回路内部で、TFT液晶パネルの画素構成に添ったデータ選択処理を行っていることから、液晶コントローラに新たにラインメモリ等の記憶回路を設ける必要がないので、従来技術と同様の低成本な液晶コントローラの使用が可能になる効果がある。

#### 【0076】

【発明の効果】本発明によれば、TFT液晶ディスプレイの駆動回路において、信号駆動回路数を削減して低成本化を図ることができ、また、高速書き込みが実現できる。

#### 【画面の簡単な説明】

【図1】本発明のTFT液晶ディスプレイの構成図

【図2】従来のTFT液晶ディスプレイの構成図

【図3】従来のTFT液晶パネルの等価回路図

【図4】従来のTFT液晶パネルの駆動波形図

【図5】図1記載の本発明のTFT液晶パネルの等価回路図

【図6】図1記載の本発明の画素部の印加電圧極性図

【図7】図1記載の本発明のTFT液晶パネルの駆動波形図

【図8】図1記載の本発明のTFT液晶パネルの駆動波形図

【図9】図1記載の本発明の画素部の印加電圧極性図

【図10】図1記載の本発明のTFT液晶パネルの駆動波形図

【図11】本発明のTFT液晶ディスプレイの構成図

【図12】図11記載の本発明のTFT液晶パネルの等価回路図

【図13】図11記載の本発明の画素部の印加電圧極性図

【図14】図11記載の本発明のTFT液晶パネルの駆動波形図

【図15】図11記載の本発明のTFT液晶パネルの駆動波形図

【図16】図11記載の本発明の画素部の印加電圧極性図

【図17】図11記載の本発明のTFT液晶パネルの駆動波形図

【図18】図11記載の本発明の画素部の印加電圧極性図

【図19】図11記載の本発明のTFT液晶パネルの駆動波形図

【図20】実施例における第1の走査駆動回路のブロック図

【図21】実施例における第1の走査駆動回路のブロック図

【図22】第1の実施例における走査駆動回路のタイミングチャート図

【図23】第2の実施例における走査駆動回路のタイミングチャート図

【図24】第3の実施例における走査駆動回路のタイミングチャート図

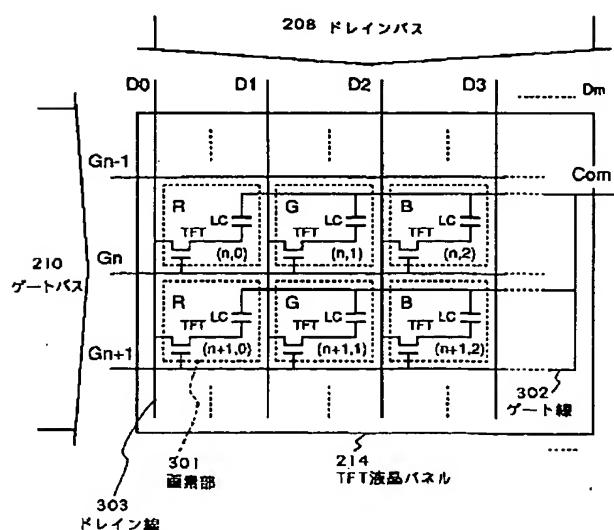
【図25】第6の実施例における走査駆動回路のタイミングチャート図

【符号の説明】

101…信号バス、102…液晶コントローラ、103…信号バス、104…信号バス、105…信号バス、106…信号駆動回路、107R…Rデータ記憶回路、107G…Gデータ記憶回路、107B…Bデータ記憶回路、108…表示データ選択回路、109…階調電圧生成回路、110…ドレインバス、111…走査駆動回路、112…ゲートバス、113…電源回路、114…電源バス、115…電源バス、116…TFT液晶パネル、201…液晶コントローラ、202…信号バス、203…信号バス、204…信号バス、205…信号駆動回路、206R…Rデータ記憶回路、206G…Gデータ記憶回路、206B…Bデータ記憶回路、207…階調電圧生成回路、208…ドレインバス、209…走査駆動回路、210…ゲートバス、211…電源回路、212…電源バス、213…電源バス、214…TFT液晶パネル、301…画素、501…画素、1101…液晶コントローラ、1102…信号バス、1103…信号バス、1104…信号バス、1105…信号駆動回路、1106R…Rデータ記憶回路、1106G…Gデータ記憶回路、1106B…Bデータ記憶回路、1107…表示データ選択回路、1108…階調電圧生成回路、1109…ドレインバス、1110…走査駆動回路、1111…ゲートバス、1112…電源回路、1113…電源バス、1114…電源バス、1115…TFT液晶パネル、1201…画素。

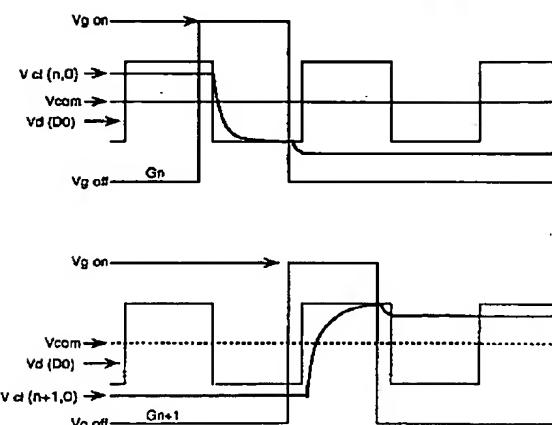
【図3】

従来TFT液晶パネルの等価回路図(図3)

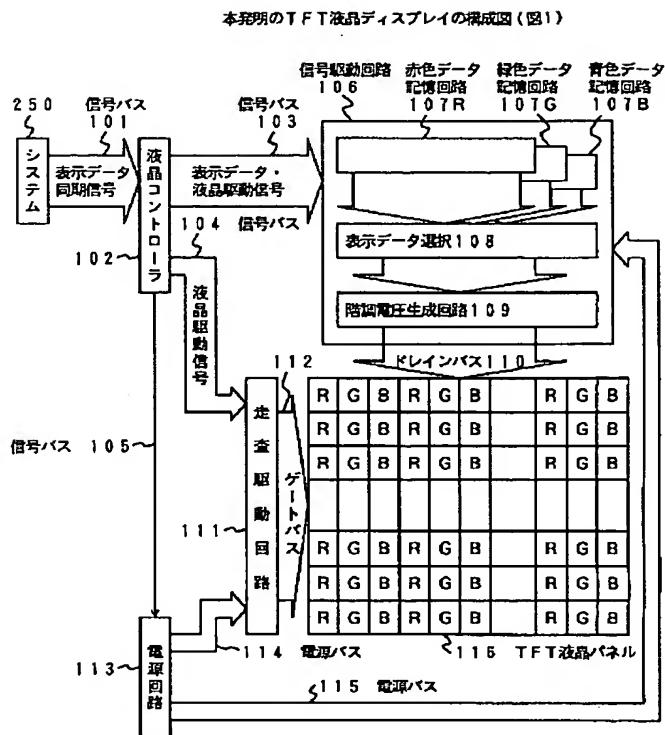


【図4】

従来TFT液晶パネルの駆動波形図(図4)

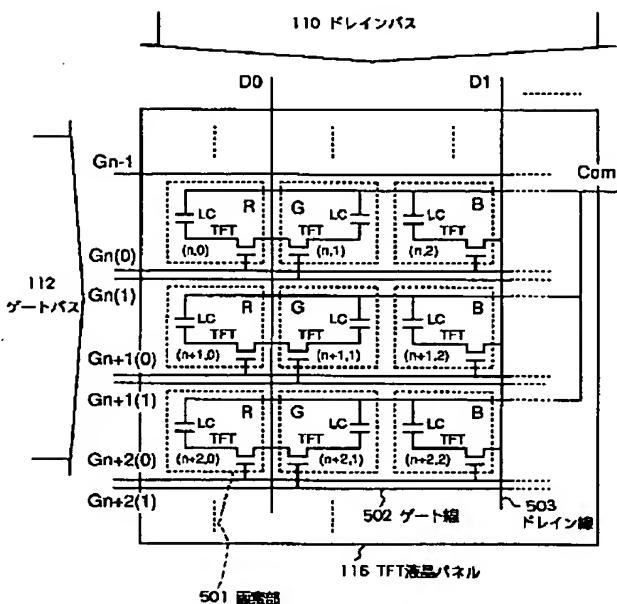


【図1】



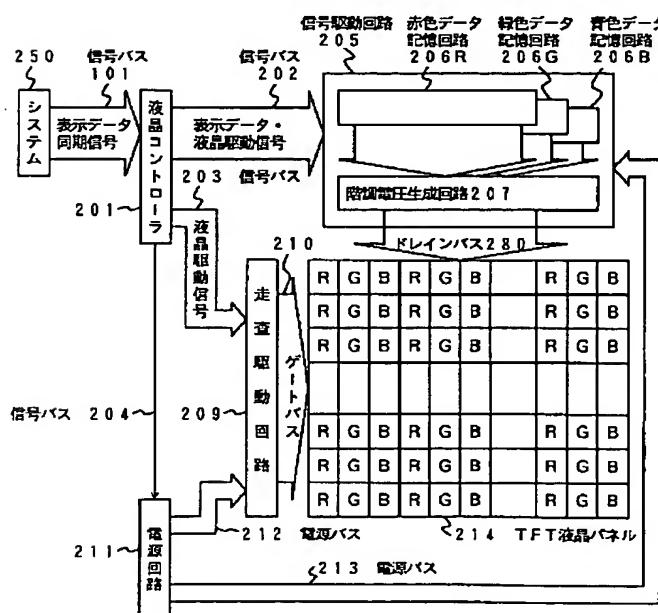
【図5】

本発明のTFT液晶パネルの等価回路図(図5)



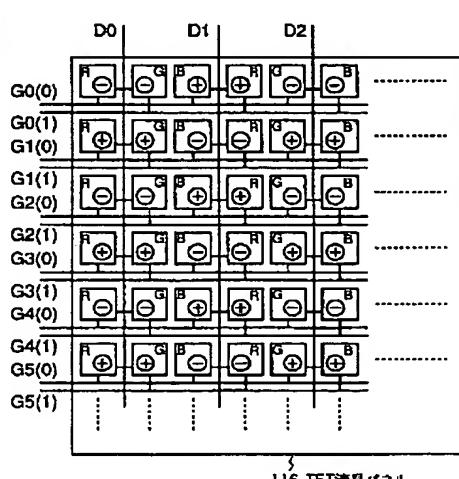
【図2】

従来のTFT液晶ディスプレイの構成図(図2)



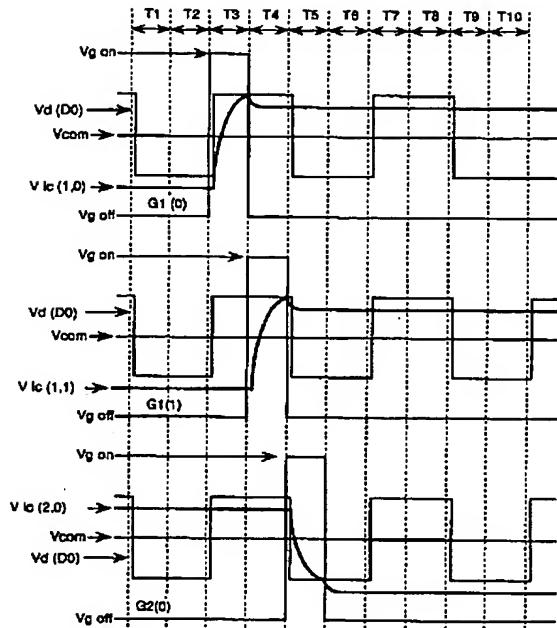
【図6】

図1に記載の本発明の画素部印加電圧極性図(図6)



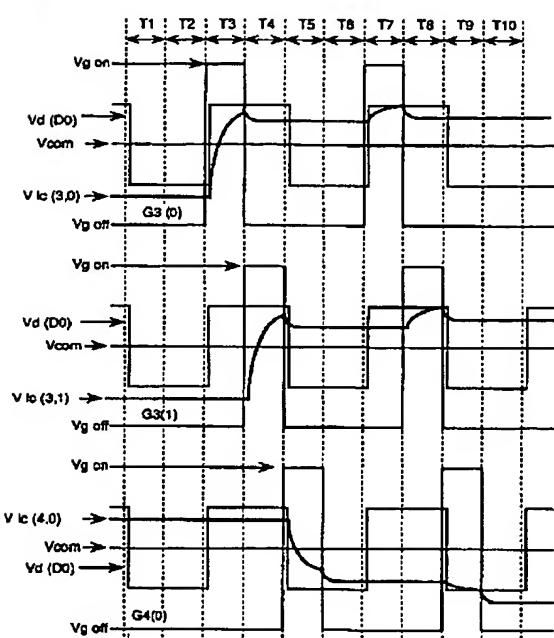
【図7】

図1に記載の本発明のTFT液晶パネルの駆動波形図(図7)



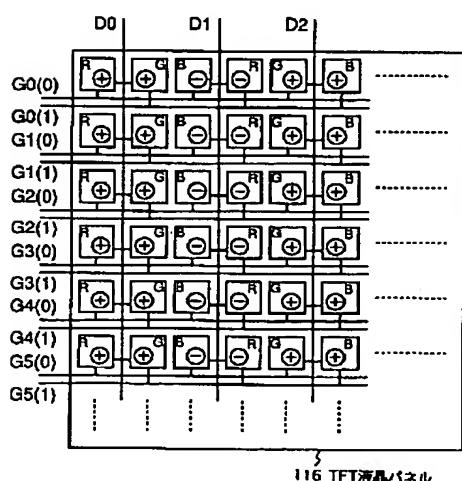
【図8】

図1に記載の本発明のTFT液晶パネルの駆動波形図(図8)



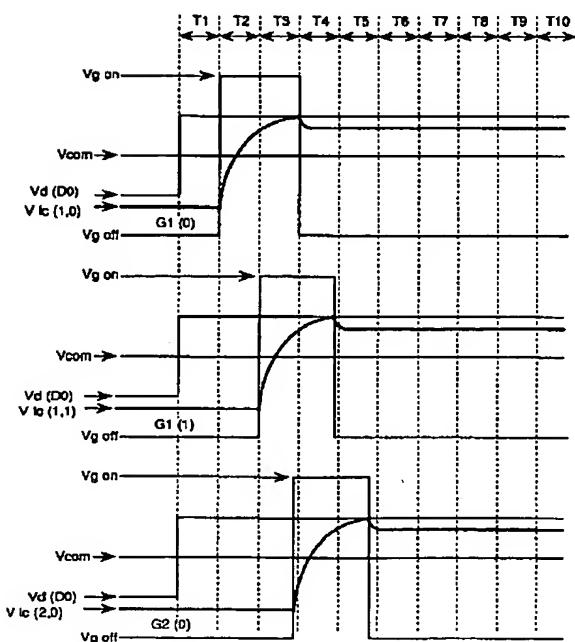
【図9】

図1に記載の本発明の画素部印加電圧極性図(図9)

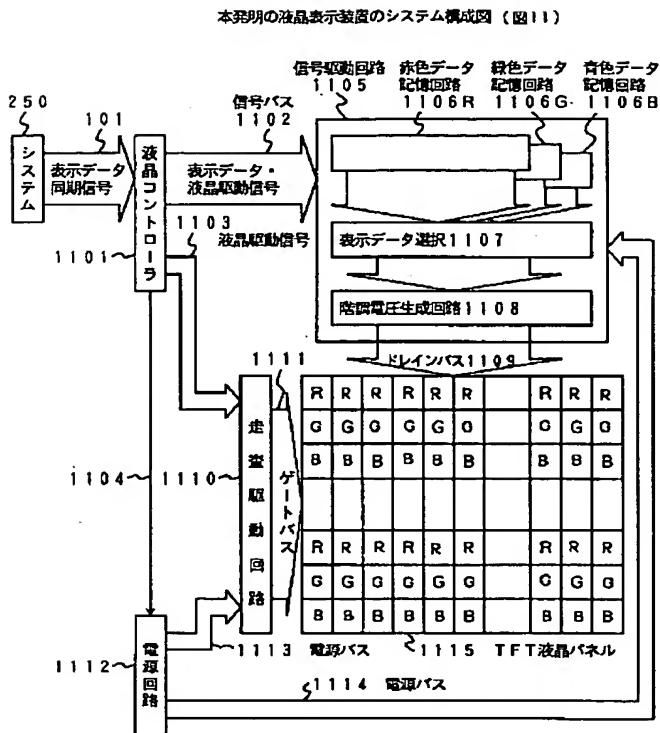


【図10】

図1に記載の本発明のTFT液晶パネルの駆動波形図(図10)

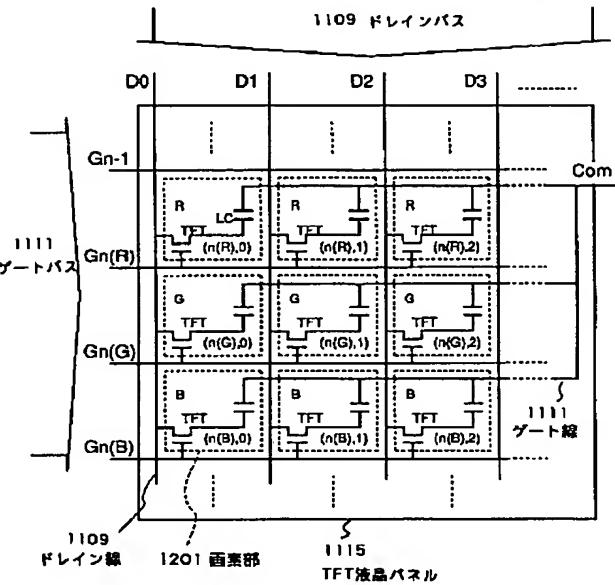


【図11】



【図12】

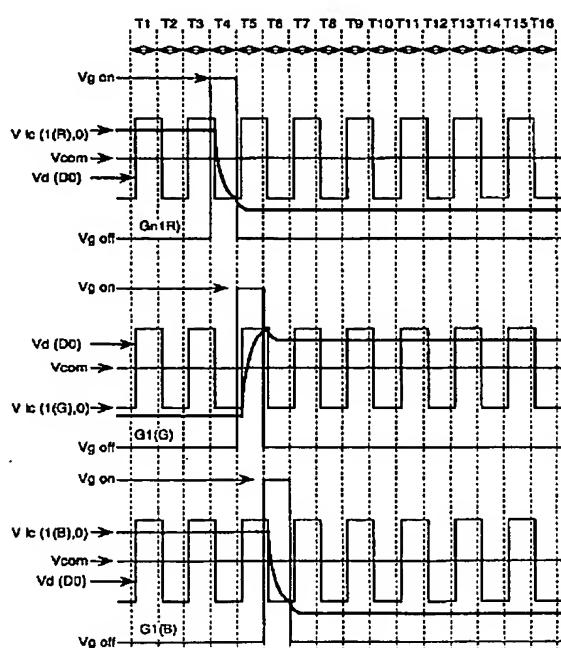
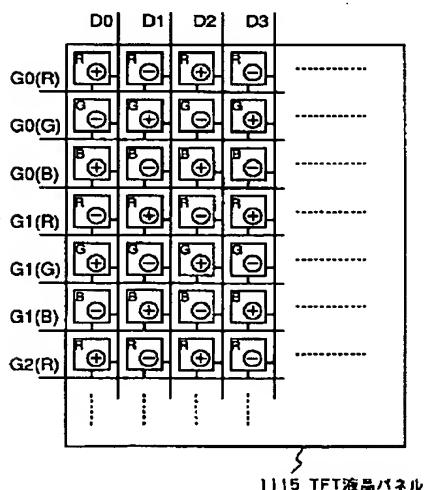
図11に記載の本発明のTFT液晶パネルの等価回路図（図12）



【図13】

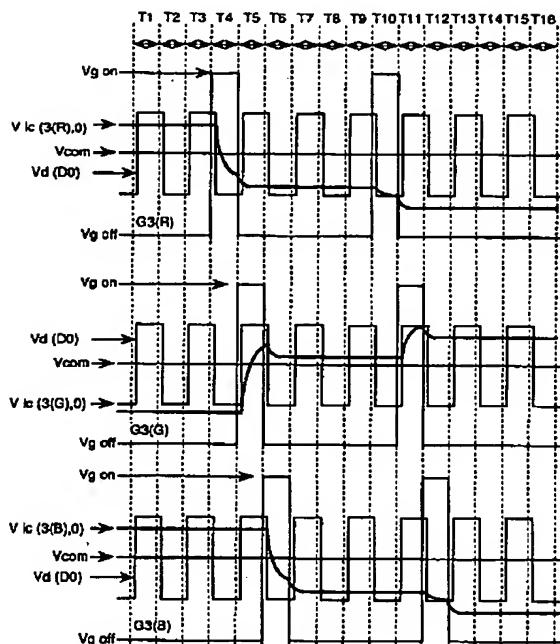
【図14】

図11に記載の本発明の画素部印加電圧極性図（図13） 図11に記載の本発明のTFT液晶パネルの駆動波形図（図14）



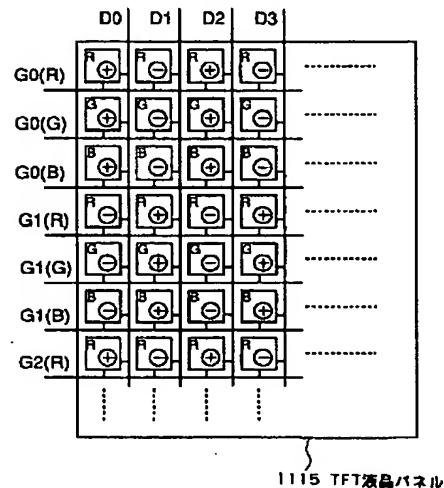
【図15】

図11に記載の本発明のTFT液晶パネルの駆動波形図(図15)



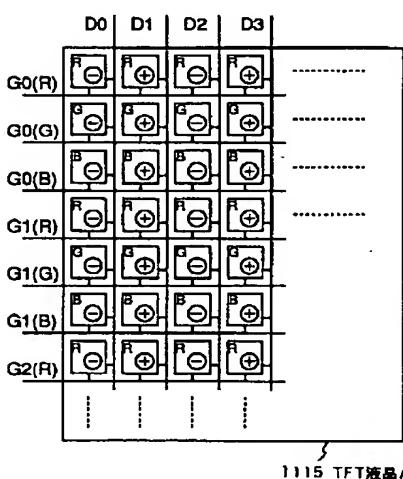
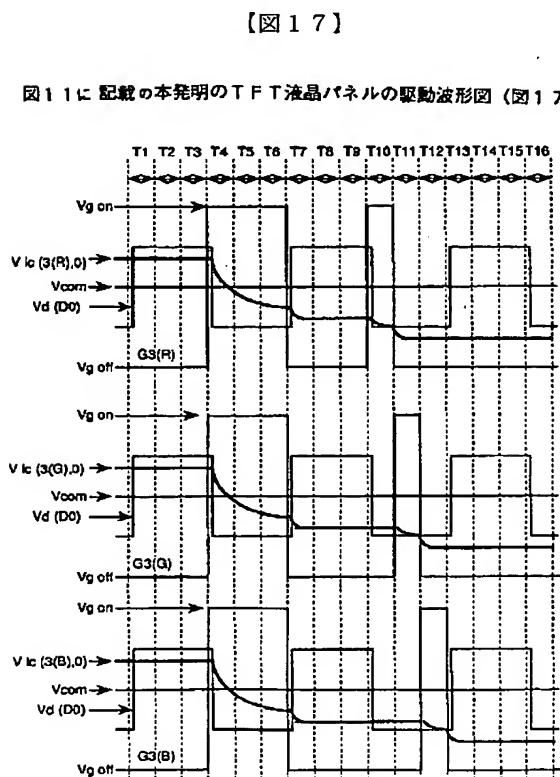
【図16】

図11に記載の本発明の画素部印加電圧極性図(図16)



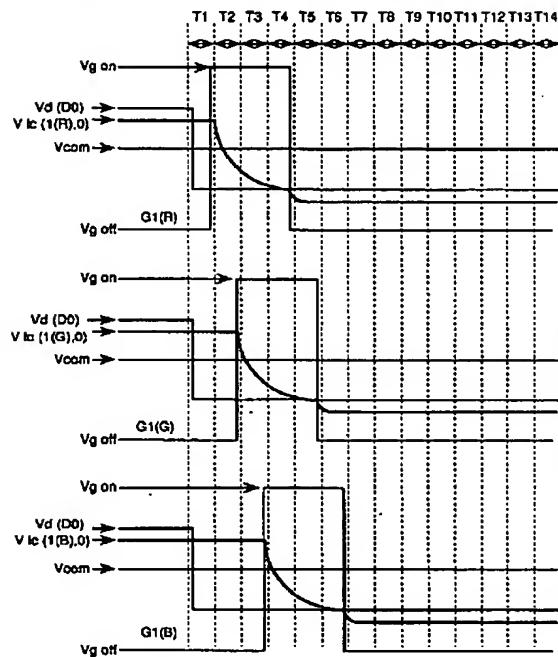
【図18】

図11に記載の本発明の画素部印加電圧極性図(図18)



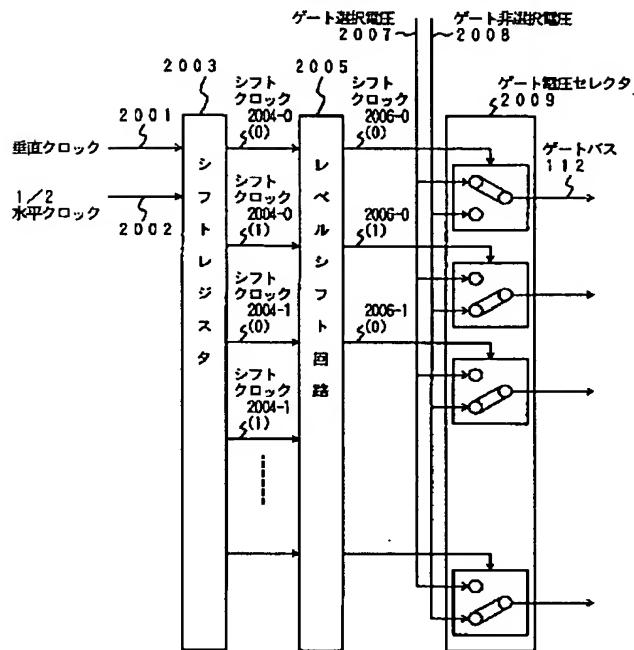
【図19】

図11に記載の本発明のTFT液晶パネルの駆動波形図(図19)



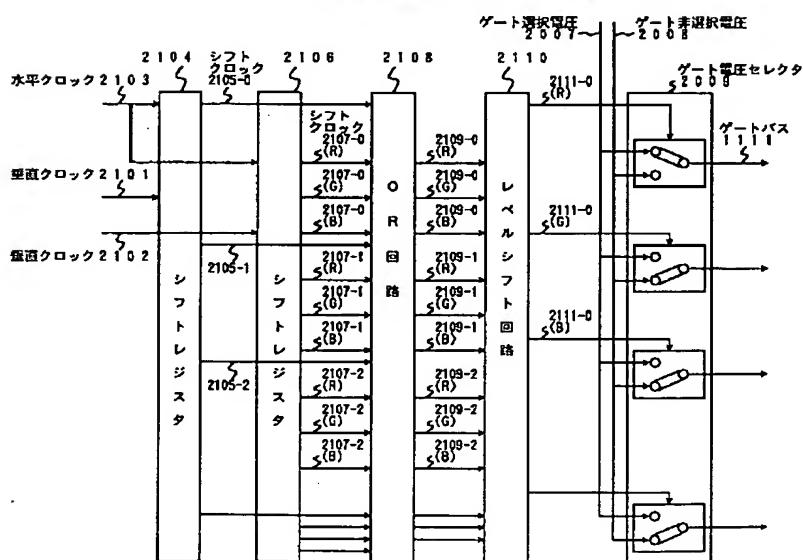
【図20】

走査駆動回路のブロック図(図20)



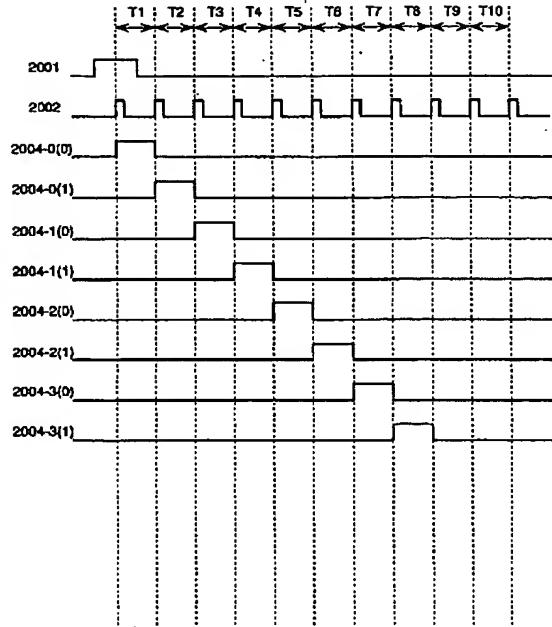
【図21】

走査駆動回路のブロック図(図21)



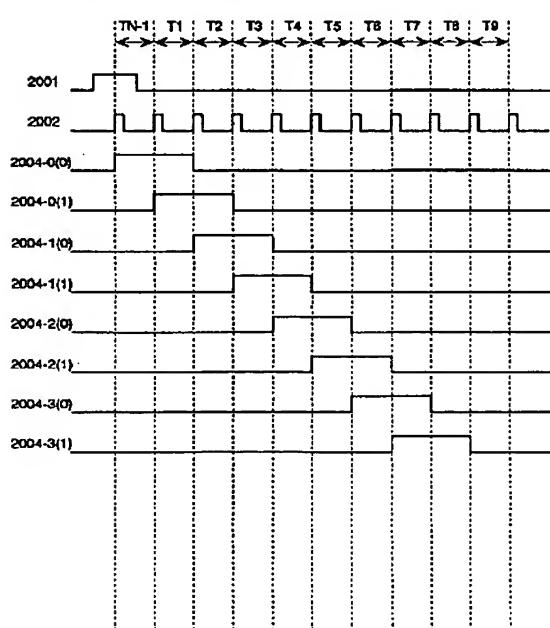
【図22】

図7に記載の実施例の走査駆動回路のタイミングチャート図(図22)



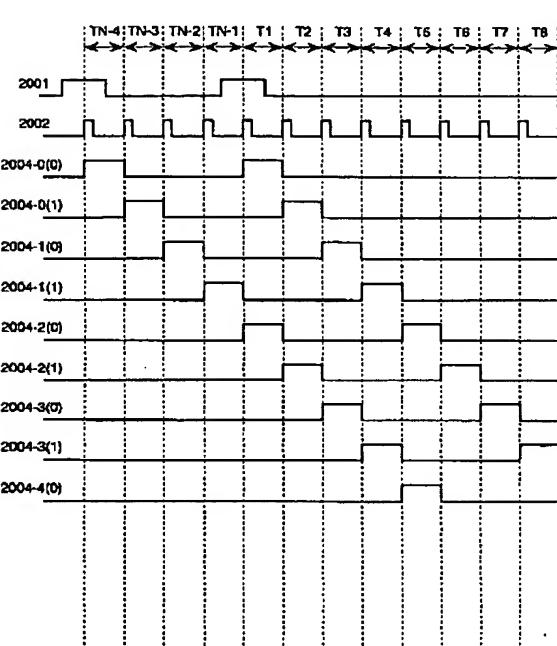
【図24】

図10に記載の実施例の走査駆動回路のタイミングチャート図(図24)



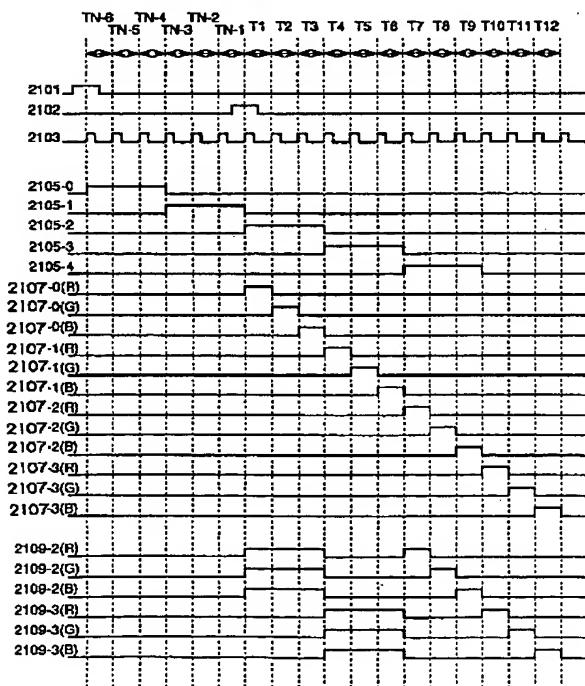
【図23】

図8に記載の実施例の走査駆動回路のタイミングチャート図(図23)



【図25】

図17に記載の実施例の走査駆動回路のタイミングチャート図(図25)



フロントページの続き

(72) 発明者 大石 純久

神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内

(72) 発明者 恒川 悟

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72) 発明者 二見 利男

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内